

Docket No. 217755US2S/btm

2811

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

GAU: 2811

EXAMINER:

IN RE APPLICATION OF: Tomoaki SHINO

SERIAL NO: 10/025,761

FILED: December 26, 2001

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY



#3

Priority  
paper  
4-21-02  
estab.

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-395726	December 26, 2000
JAPAN	2001-358332	November 22, 2001

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number . Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak  
Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26,803



22850  
Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

102900 MAIL ROOM  
MAR 27 2002  
RECEIVED

10/025,761



日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2000年12月26日

出願番号  
Application Number:

特願2000-395726

出願人  
Applicant(s):

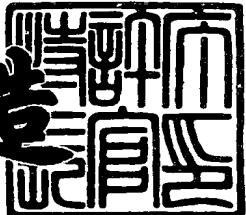
株式会社東芝

RECEIVED  
MAR 27 2002  
TC 2800 MAIL ROOM

2001年11月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3105528

【書類名】 特許願  
【整理番号】 A000007086  
【提出日】 平成12年12月26日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明の名称】 半導体装置及びその製造方法  
【請求項の数】 12  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
【氏名】 篠 智彰  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100084618  
【弁理士】  
【氏名又は名称】 村松 貞男  
【選任した代理人】  
【識別番号】 100068814  
【弁理士】  
【氏名又は名称】 坪井 淳  
【選任した代理人】  
【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 素子領域内に形成された第1導電型の第1の拡散領域と、前記第1の拡散領域上にゲート絶縁膜を介して選択的に形成されたゲート電極と、

前記ゲート電極の端部を覆うように前記素子領域を横断して前記ゲート電極及び前記第1の拡散領域上に形成された絶縁膜マスクと、

前記ゲート電極を挟んで前記素子領域内に形成された一対の第2導電型の第2の拡散領域と、

前記絶縁膜マスクを挟んだ前記一対の第2の拡散領域及びその間に介在する第1導電型の領域と対向する前記素子領域内に前記第2の拡散領域と所定間隔離間して形成された前記第1の拡散領域より高濃度の第1導電型の第3の拡散領域とを具備することを特徴とする半導体装置。

【請求項2】 前記絶縁膜マスクが形成される前記第1の拡散領域の端と前記ゲート電極とのゲート電極のゲート長方向に関する距離が、前記第2の拡散領域の端と前記ゲート電極との距離より短いことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極、前記絶縁膜マスク及び前記第2の拡散領域は、前記第3の拡散領域を挟んで線対称にそれぞれ一対形成されており、この線対称に形成された前記ゲート電極及び前記第2の拡散領域の一対はそれぞれ接続されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記ゲート電極は、前記第1の拡散領域上で実質的に直線状であることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記絶縁膜マスクは、前記ゲート電極の側壁に形成されたスペーサと同じ材料であることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記素子領域は半導体層内に形成され、この半導体層の下に絶縁膜が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項7】 前記第2の拡散領域と前記第3の拡散領域との前記所定間隔

は、前記絶縁膜マスクの幅であることを特徴とする請求項1記載の半導体装置。

【請求項8】 半導体層内に素子領域を形成する工程と、

前記素子領域内に第1導電型の第1の拡散領域を形成する工程と、

少なくとも前記第1の拡散領域の一部を覆うようにゲート電極を形成する工程と、

前記ゲート電極の端部を覆うように前記素子領域を横断して前記ゲート電極及び前記第1の拡散領域上に絶縁膜マスクを形成する工程と、

前記絶縁膜マスクをマスクとして、前記ゲート電極を挟んだ前記素子領域内に第2導電型の拡散領域を形成する工程と、

前記絶縁膜マスクをマスクとして、前記絶縁膜マスクを挟んだ前記第2の拡散領域と対向する前記素子領域内に、前記第2の拡散領域と所定間隔離間して前記第1の拡散領域より高濃度の第1導電型の第3の拡散領域を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記素子領域は、前記絶縁膜マスクが形成される前記第1の拡散領域の端と前記ゲート電極とのゲート電極のゲート長方向に関する距離が、前記第2の拡散領域の端と前記ゲート電極との距離より短くなるように、前記半導体層内に形成されることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記ゲート電極、前記絶縁膜マスク及び前記第2の拡散領域は、前記第3の拡散領域を挟んで線対称にそれぞれ一対形成され、この線対称に形成された前記ゲート電極及び前記第2の拡散領域の一対はそれぞれ接続されることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】 前記絶縁膜マスクを形成するとともに、ゲート電極の側面にスペーサを形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】 前記半導体層は絶縁膜上に形成されることを特徴とする請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁膜上の半導体層に形成されたM I S (Metal Insulator Semiconducto

nductor) トランジスタを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

絶縁膜上に単結晶シリコン膜が形成された基板、いわゆる S O I (Silicon On Insulator) 基板は、高性能の半導体装置を実現できる基板として古くから研究の対象となっている。近年、ウエハ技術の発展に伴い、この S O I 基板の応用方法が盛んに議論されるようになってきた。

【0003】

図10、図11は、従来技術によるNMO Sトランジスタを備えた半導体装置の平面図を示す。図12は、図10と図11に示す12-12線に沿った半導体装置の断面図を示す。なお、図10、図11では、配線、コンタクト及び層間絶縁膜は省略している。

【0004】

図10乃至図12に示すように、支持基板11上に埋め込み酸化膜12が形成され、この埋め込み酸化膜12上に半導体層13が形成されることにより、S O I 基板14が形成されている。半導体層13内の素子領域16内には、P<sup>-</sup>型の基板電位制御層17が形成され、この基板電位制御層17上にゲート電極20がゲート絶縁膜18を介して選択的に形成されている。このゲート電極20を挟んで素子領域16の表面にN<sup>+</sup>型のソース・ドレイン領域29が形成され、このソース・ドレイン領域29と対向する素子領域16内にP<sup>+</sup>型のボディコンタクト領域31が形成されている。

【0005】

ここで、図10に示すゲート電極20は、ボディ領域からボディ延長領域まで直線状に配置されている。一方、図11に示すゲート電極20は、ボディ領域上に直線状に配置させた第1の部分20aと、この第1の部分20aと連続して第1の部分20とほぼ垂直方向に配置させた幅D2の第2の部分20bとを有している。

【0006】

なお、ボディ領域とは、ソース・ドレイン領域29に挟まれたチャネルが形成

される領域を意味する。ボディ延長領域とは、ボディ領域と横方向において接続され、ソース・ドレイン領域29に挟まれていない領域を意味する。ボディコンタクト領域31とは、ボディ延長領域と横方向において接続された上部電極と良好なコンタクトをとるための高濃度の領域を意味する。

## 【0007】

以上説明したトランジスタでは、ボディコンタクト領域31に電圧を印加することによりボディ領域の電位を制御することができるので、SOI基板を用いたときに問題となる基板浮遊効果を抑制することができる。また、ゲート電極20とボディ領域に同じ電位を与えると、ゲート電極20の電圧の上昇に伴ってしきい値が低下し、ドレイン電流が増加する。このため、バルク基板に形成したトランジスタよりも高性能な回路が可能となる。

## 【0008】

ところで、図10に示すトランジスタでは、高濃度のN型ソース・ドレイン領域29と高濃度のP型ボディコンタクト領域31とが近接してPN接合耐圧が低下しないように、ある一定の距離d（例えば $d = 0.3 \mu m$ 程度）を確保する必要がある。一方、ソース・ドレイン領域29及びボディコンタクト領域31を形成するには、これらの各領域を局所的に開口したレジストパターンを形成し、N型不純物あるいはP型不純物をイオン注入する。この製造方法では、2つのレジストパターンの合わせずれを考慮して、さらに距離S（例えば $S = 0.3 \mu m$ 程度）を余計に確保する必要があった。したがって、ソース・ドレイン領域29とボディコンタクト領域31との距離D1（=d+S）を大きくする必要がある。

## 【0009】

しかし、距離D1を大きくすると、トランジスタの占有面積が大きくなるため、チップの面積が大きくなり製造コストが増大してしまう。さらに、距離D1を大きくすると、寄生抵抗が高くなるため、ボディ領域の電位の制御が困難になり、トランジスタの耐圧が劣化したり回路が誤動作したりするといった基板浮遊効果に起因する問題が生じる。

## 【0010】

一方、図11に示すトランジスタでは、ソース・ドレイン領域29及びボディ

コンタクト領域31を形成するには、ボディ延長領域上のゲート電極20の第2の部分20bをイオン注入時のマスクとし、N型不純物あるいはP型不純物をイオン注入する。この製造方法では、高濃度のN型ソース・ドレイン領域29と高濃度のP型ボディコンタクト領域31とが近接しないように、ゲート電極20のパターンと自己整合的にソース・ドレイン領域29及びボディコンタクト領域31を形成することができる。このため、図10に示すトランジスタよりも距離D2は0.3μm程度とを小さくすることができ、面積や寄生抵抗の増大を極力抑えることができる。

#### 【0011】

しかし、ゲート電極20の第2の部分20bと基板電位制御層17とが対向する領域100に寄生的なゲート容量が発生する。このため、回路のスイッチング速度が低下するという問題があった。

#### 【0012】

##### 【発明が解決しようとする課題】

以上のように、従来技術の半導体装置では、面積や寄生抵抗の増大を抑制しつつ、寄生ゲート容量を低減することが非常に困難であった。

#### 【0013】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、面積や寄生抵抗の増大を抑制しつつ、寄生ゲート容量を低減することが可能な半導体装置及びその製造方法を提供することにある。

#### 【0014】

##### 【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

#### 【0015】

本発明の半導体装置は、素子領域内に形成された第1導電型の第1の拡散領域と、前記第1の拡散領域上にゲート絶縁膜を介して選択的に形成されたゲート電極と、前記ゲート電極の端部を覆うように前記素子領域を横断して前記ゲート電極及び前記第1の拡散領域上に形成された絶縁膜マスクと、前記ゲート電極を挟んで前記素子領域内に形成された一対の第2導電型の第2の拡散領域と、前記絶

縁膜マスクを挟んだ前記一対の第2の拡散領域及びその間に介在する第1導電型の領域と対向する前記素子領域内に前記第2の拡散領域と所定間隔離間して形成された前記第1の拡散領域より高濃度の第1導電型の第3の拡散領域とを具備している。

【0016】

前記絶縁膜マスクが形成される前記第1の拡散領域の端と前記ゲート電極とのゲート電極のゲート長方向に関する距離Xが、前記第2の拡散領域の端と前記ゲート電極との距離Yより短くてもよい。

【0017】

前記ゲート電極、前記絶縁膜マスク及び前記第2の拡散領域は、前記第3の拡散領域を挟んで線対称にそれぞれ一対形成されており、この線対称に形成された前記ゲート電極及び前記第2の拡散領域の一対はそれぞれ接続されていてもよい。

【0018】

前記ゲート電極は、前記第1の拡散領域上で実質的に直線状である。

【0019】

前記絶縁膜マスクは、前記ゲート電極の側壁に形成されたスペーサと同じ材料である。

【0020】

前記素子領域は半導体層内に形成され、この半導体層の下に絶縁膜が形成されている。

【0021】

前記第2の拡散領域と前記第3の拡散領域との前記所定間隔は、前記絶縁膜マスクの幅である。

【0022】

本発明の半導体装置の製造方法は、半導体層内に素子領域を形成する工程と、前記素子領域内に第1導電型の第1の拡散領域を形成する工程と、少なくとも前記第1の拡散領域の一部を覆うようにゲート電極を形成する工程と、前記ゲート電極の端部を覆うように前記素子領域を横断して前記ゲート電極及び前記第1の

拡散領域上に絶縁膜マスクを形成する工程と、前記絶縁膜マスクをマスクとして、前記ゲート電極を挟んだ前記素子領域内に第2導電型の拡散領域を形成する工程と、前記絶縁膜マスクをマスクとして、前記絶縁膜マスクを挟んだ前記第2の拡散領域と対向する前記素子領域内に、前記第2の拡散領域と所定間隔離間して前記第1の拡散領域より高濃度の第1導電型の第3の拡散領域を形成する工程とを含んでいる。

## 【0023】

前記素子領域は、前記絶縁膜マスクが形成される前記第1の拡散領域の端と前記ゲート電極とのゲート電極のゲート長方向に関する距離が、前記第2の拡散領域の端と前記ゲート電極との距離より短くなるように、前記半導体層内に形成されてもよい。

## 【0024】

また、前記ゲート電極、前記絶縁膜マスク及び前記第2の拡散領域は、前記第3の拡散領域を挟んで線対称にそれぞれ一対形成され、この線対称に形成された前記ゲート電極及び前記第2の拡散領域の一対はそれぞれ接続されてもよい。

## 【0025】

前記絶縁膜マスクを形成するとともに、ゲート電極の側面にスペーサが形成される。また、前記半導体層は絶縁膜上に形成されることが望ましい。

## 【0026】

## 【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。以下の実施の形態では、絶縁膜上に単結晶シリコン膜が形成された基板、いわゆるSOI (Silicon On Insulator) 基板を用いたNMO Sトランジスタを例にあげて説明するが、通常のバルク基板に適用することも可能である。また、本発明はMIS (Metal Insulator Semiconductor) トランジスタのN型とP型の導電型を適宜入れ替えることによりPMOSトランジスタに適用することも可能である。

## 【0027】

## 【第1の実施形態】

図1は、本発明の第1の実施形態に係る半導体装置の平面図を示す。なお、図

1では、ゲート電極の側面に形成されたスペーサは省略している。

【0028】

図1に示すように、半導体層13の素子領域16内にP<sup>-</sup>型の基板電位制御層(第1の拡散領域)17が形成され、この基板電位制御層17上にゲート電極20がゲート絶縁膜(図示せず)を介して選択的に形成されている。このゲート電極20の端部を覆うように素子領域16を横断してゲート電極20及び基板電位制御層17上に絶縁膜マスク27が形成されている。また、ゲート電極20を挟んで素子領域16の表面にN<sup>+</sup>型のソース・ドレイン領域(第2の拡散領域)29が形成されている。そして、このソース・ドレイン領域29及びこれらに挟まれたチャネルが形成される領域と対向する素子領域16内に絶縁膜マスク27を挟んでP<sup>+</sup>型のボディコンタクト領域(第3の拡散領域)31が形成されている。なお、絶縁膜マスク27下のソース・ドレイン領域29側の基板電位制御層17の表面には、後述するN<sup>-</sup>型のエクステンション領域(図示せず)が形成されている。

【0029】

ここで、ゲート電極20は、従来の図10に示すようにボディ領域からボディ延長領域まで延長させた直線状のパターンで、ゲート電極20の端部が素子領域16内で終端している。

【0030】

また、N<sup>+</sup>型のソース・ドレイン領域29とP<sup>+</sup>型のボディコンタクト領域31との距離は、絶縁膜マスク27の幅Dで自己整合的に決定される。

【0031】

なお、ボディ領域とは、ソース・ドレイン領域29に挟まれたチャネルが形成される領域を意味する。ボディ延長領域とは、ボディ領域と横方向において接続され、ソース・ドレイン領域29に挟まれていない領域を意味する。ボディコンタクト領域31とは、ボディ延長領域と横方向において接続され、上部電極と良好なコンタクトをとるための高濃度の領域を意味する。

【0032】

図2乃至図6は、本発明の第1の実施形態に係る半導体装置の製造工程の断面

図を示す。図2乃至図6において、A領域は図1に示すA-A線に沿った半導体装置の断面図を示し、B領域は図1に示すB-B線に沿った半導体装置の断面図を示し、C領域は図1に示すC-C線に沿った半導体装置の断面図を示す。また、図7は、第1の実施形態に係る半導体装置の製造工程に用いるレジストのパターンの平面図を示す。この図7では、N型不純物注入領域を開口したレジストパターン21と絶縁膜マスクのレジストパターン25との重なる領域に形成されたN-型のエクステンション領域は省略してある。

## 【0033】

以下、本発明の第1の実施形態に係る半導体装置の製造方法について説明する。

## 【0034】

まず、図2に示すように、支持基板11上に埋め込み酸化膜12が形成され、この埋め込み酸化膜12上に半導体層13が形成されることにより、SOI基板14が形成される。次に、半導体層13内に選択的に素子分離絶縁膜15が形成されることにより、パターニングされた島状の素子領域16が形成される。

## 【0035】

次に、図3に示すように、トランジスタのしきい値を調整するために、素子領域16の全面に濃度 $10^{17}$ 乃至 $10^{18} \text{ cm}^{-2}$ 程度のP型不純物が導入され、P-型の基板電位制御層17が形成される。次に、素子領域16上にゲート絶縁膜18が形成され、基板全面にポリシリコン膜が堆積される。このポリシリコン膜上にレジスト膜（図示せず）が形成され、図7に示すゲート電極のレジストパターン19にパターニングされる。このパターニングされたレジスト膜をマスクとして、ポリシリコン膜がパターニングされ、ゲート電極20が形成される。

## 【0036】

次に、図7に示すN型不純物注入領域を開口したレジストパターン21をマスクとして、素子領域16の表面に低濃度のN型の不純物が導入される。その結果、図4（A領域）に示すように、N-型のエクステンション領域22が形成される。

## 【0037】

次に、図5に示すように、基板全面に例えれば20nm程度の膜厚の酸化膜23が堆積され、この酸化膜23上に例えれば70nm程度の膜厚の窒化膜24が堆積される。

#### 【0038】

次に、図7に示す絶縁膜マスクのレジストパターン25をマスクとして、異方性エッチングにより窒化膜24が選択的に除去される。ここで、エッチング時間は、後述するソース・ドレイン領域29上の窒化膜24は除去し、ゲート電極20の側壁には窒化膜24が残存するように調整される。その結果、図6（A領域）に示すように、ゲート電極20の側壁に窒化膜24からなるスペーサ26が形成される。このスペーサ26が形成されると同時に、図6（B領域、C領域）に示すように、ボディ延長領域には絶縁膜マスク27が形成される。

#### 【0039】

次に、図7に示すN型不純物注入領域を開口したレジストパターン28をマスクとして、素子領域16内に高濃度のN型不純物がイオン注入される。その結果、図6（A領域）に示すように、ボディ領域にソース・ドレイン領域29が形成される。

#### 【0040】

次に、図7に示すP型不純物注入領域を開口したレジストパターン30をマスクとして、素子領域16内に高濃度のP型不純物がイオン注入される。その結果、図6（C領域）に示すように、P<sup>+</sup>型のボディコンタクト領域31が形成される。

#### 【0041】

なお、ソース・ドレイン領域29及びボディコンタクト領域31の形成において、N型不純物及びP型不純物は、酸化膜23及び窒化膜24を突き抜けないような加速エネルギーによってイオン注入される。したがって、図6（B領域）に示すように、N型不純物及びP型不純物は、絶縁膜マスク27を形成した領域下の基板電位制御層17内には注入されない。

#### 【0042】

次に、ウェットエッチングにより、ソース・ドレイン領域29上及びゲート電

極20上の酸化膜23が除去され、ソース・ドレイン領域29上及びゲート電極20の表面が露出される。次に、ソース・ドレイン領域29及びゲート電極20の低抵抗化を図るために、サリサイド工程が行われる。その後は、通常のMOSトランジスタを形成する製造工程を適用することによって、MOSトランジスタが完成する。

#### 【0043】

上記第1の実施形態によれば、ソース・ドレイン領域29及びボディコンタクト領域31の形成において、絶縁膜マスク27をイオン注入時のマスクとして用いている。このため、自己整合的に高濃度のN型ソース・ドレイン領域29と高濃度のP型ボディコンタクト領域31とが近接しないように形成できる。つまり、N型ソース・ドレイン領域29とP型ボディコンタクト領域31との距離は、絶縁膜マスク27の幅Dで自己整合的に決まるため、Dを0.3μm程度まで小さくすることが可能になる。従って、従来の図10に示す構造に比べ、トランジスタの占有面積を小さくすることができるため、チップの面積が大きくなり製造コストが増大するという問題を回避できる。加えて、寄生抵抗の増大を抑制でき、ボディ領域の電位の制御が可能になるため、トランジスタの耐圧が劣化したり回路が誤動作したりするといった基板浮遊効果に起因する問題も回避できる。

#### 【0044】

また、ゲート電極20のパターンは、ボディ領域からボディ延長領域まで延長させた直線状のパターンである。従って、従来の図11に示すT字型のゲート電極20に比べ、寄生ゲート領域100の面積は大幅に縮小される。このため、寄生ゲート容量を低減することができるため、回路のスイッチング速度の低下を防止できる。その結果、信頼性が高く高性能な回路を実現することができる。

#### 【0045】

さらに、絶縁膜マスク27は、ソース・ドレイン領域29を形成する際に用いられるスペーサ26と同じ材料（酸化膜23と窒化膜24）を用いている。このため、製造コストを増大させることなく本発明の実施が可能である。

#### 【0046】

なお、絶縁膜マスク27は、酸化膜23と窒化膜24との積層構造のマスクで

あったが、単層構造のマスクであっても本発明の効果を得ることはできる。

## 【0047】

## [第2の実施形態]

第2の実施形態は、第1の実施形態の素子領域のパターンを変形させることにより、PN接合面を縮小することを特徴とする。なお、第2の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

## 【0048】

図8は、本発明の第2の実施形態に係る半導体装置の平面図を示す。図8に示すように、第2の実施形態に係る半導体装置の素子領域16'は、MOSトランジスタのゲート長方向に関し、ボディ領域の幅よりもボディ延長領域の幅が狭いパターンに形成されている。これによって、絶縁膜マスク27が形成される素子領域16'（基板電位制御層17）の端とゲート電極20との距離Xが、ソース・ドレイン領域29の端とゲート電極20との距離、すなわちドレイン領域又はソース領域29の主たる長さYよりも短くなっている。

## 【0049】

なお、第2の実施形態に係る半導体装置の製造方法は、ボディ領域の幅よりもボディ延長領域の幅が狭くなっているパターンに素子領域16'を形成する以外は、第1の実施形態と同様の方法であるため、説明は省略する。

## 【0050】

上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

## 【0051】

さらに、第1の実施形態よりもドレイン領域又はソース領域29のN<sup>+</sup>型拡散領域とP<sup>-</sup>型拡散領域（基板電位制御層17）との接触面40が小さくなる。つまり、寄生的なPN接合の長さが短くなるため、寄生容量が小さくなり、回路の高速動作が可能になる。また、リーク電流も少くなり、回路の低消費電力化が可能になる。

## 【0052】

## [第3の実施形態]

第3の実施形態は、1対のゲート及び1対のドレイン（又はソース）を、配線によりそれぞれ接続して1つのトランジスタとして動作させることを特徴とする。なお、第3の実施形態において、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

## 【0053】

図9は、本発明の第3の実施形態に係る半導体装置の平面図を示す。図9に示すように、第3の実施形態に係る半導体装置では、絶縁膜マスク17a、17b、ゲート電極20a、20b及びソース・ドレイン領域29a、29bが、P<sup>+</sup>型のボディコンタクト領域31を挟んで線対称にそれぞれ形成されている。そして、線対称に形成されたゲート電極20aと20b、ソース・ドレイン領域29aと29bがそれぞれ配線（図示せず）により接続され、1つのトランジスタを構成している。

## 【0054】

また、第3の実施形態に係る半導体装置を製造するにあたり、図9に示す第1、第2のN型不純物注入領域を開口したレジストパターン28'をマスクとして、素子領域16内に高濃度のN型不純物がイオン注入され、ボディ領域にソース・ドレイン領域29a、29bが形成される。また、図9に示すP型不純物注入領域を開口したレジストパターン30をマスクとして、素子領域16内に高濃度のP型不純物がイオン注入され、P<sup>+</sup>型のボディコンタクト領域31が形成される。なお、第3の実施形態に係る半導体装置の製造方法は、第1の実施形態とほぼ同じであるため説明は省略する。

## 【0055】

上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

## 【0056】

さらに、上記第1、第2の実施形態では、素子領域16のパターンと絶縁膜マスク27のパターンとの合わせずれにより、ゲート幅W（図1、図2参照）がばらつくおそれがある。これに対し、第3の実施形態では、ゲート幅を図1に示す

ゲート幅の1/2にして線対称に2つのゲート電極20a、20bを設けている。これにより、一方の絶縁膜マスク17aに合わせずそれが生じてゲート電極20aの幅50aが短くなった場合でも、同時に他方の絶縁膜マスク17bにも合わせずそれが生じてゲート電極20bの幅50bが長くなるため、結果的に2つのゲート幅を合わせた幅(50a+50b)のばらつきを抑えることができる。従って、トランジスタの電流駆動力のばらつきを抑制できる。

#### 【0057】

なお、第3の実施形態では、第1の実施形態に係る素子領域16のパターンを用いたが、第2の実施形態に係る素子領域16'のパターンを用いてもよい。この場合、上記第3の実施形態の効果が得られるだけでなく、第2の実施形態の効果も得ることができる。

#### 【0058】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

#### 【0059】

##### 【発明の効果】

以上説明したように本発明によれば、面積や寄生抵抗の増大を抑制しつつ、寄生ゲート容量を低減することが可能な半導体装置及びその製造方法を提供できる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施形態に係わる半導体装置を示す平面図。

##### 【図2】

本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

##### 【図3】

図2に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

##### 【図4】

図3に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断

面図。

【図5】

図4に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図6】

図5に続く、本発明の第1の実施形態に係わる半導体装置の製造工程を示す断面図。

【図7】

本発明の第1の実施形態に用いるレジストマスクのパターンを示す平面図。

【図8】

本発明の第2の実施形態に係わる半導体装置を示す平面図。

【図9】

本発明の第3の実施形態に係わる半導体装置を示す平面図。

【図10】

従来技術による半導体装置を示す平面図。

【図11】

従来技術による半導体装置を示す平面図。

【図12】

図10、図11に示す12-12線に沿った半導体装置の断面図。

【符号の説明】

1 1 …支持基板、

1 2 …埋め込み酸化膜、

1 3 …半導体層、

1 4 …S O I 基板、

1 5 …素子分離絶縁膜、

1 6、1 6' …素子領域、

1 7 …P-型の基板電位制御層、

1 8 …ゲート絶縁膜、

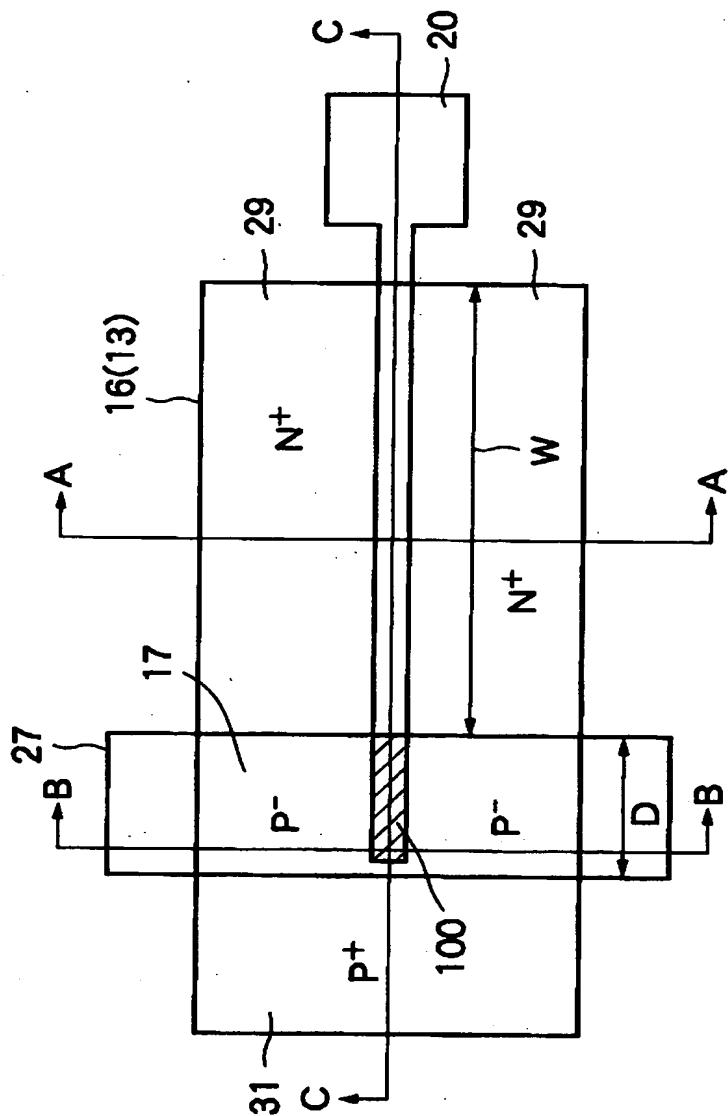
1 9 …ゲート電極のレジストパターン、

20、20a、20b…ゲート電極、  
21、28、28'…N型不純物注入領域を開口したレジストパターン、  
22…N<sup>-</sup>型のエクステンション領域、  
23…酸化膜、  
24…窒化膜、  
25…絶縁膜マスクのレジストパターン、  
26…スペーサ、  
27、27a、27b…絶縁膜マスク、  
29、29a、29b…N<sup>+</sup>型のソース・ドレイン領域、  
30…P型不純物注入領域を開口したレジストパターン、  
31…P<sup>+</sup>型のボディコンタクト領域、  
40…N型拡散領域とP型拡散領域との接触面（PN接合面）、  
50a、50b…ゲート幅、  
100…寄生ゲート領域。

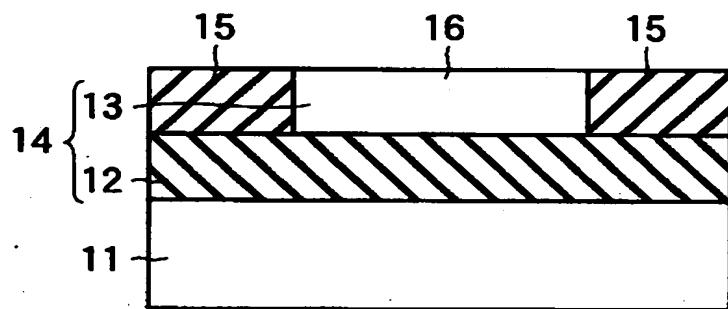
【書類名】

図面

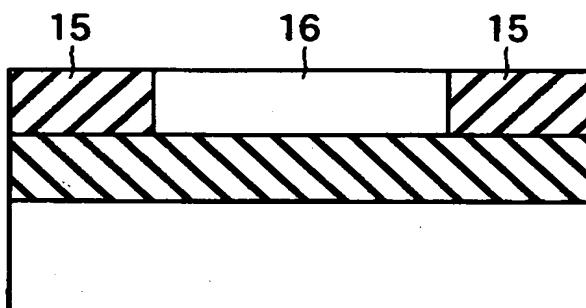
【図1】



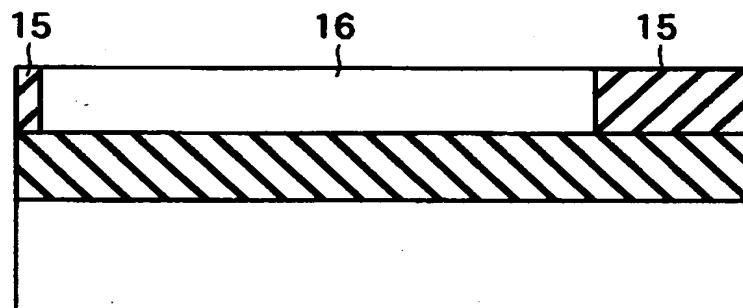
【図2】



A領域

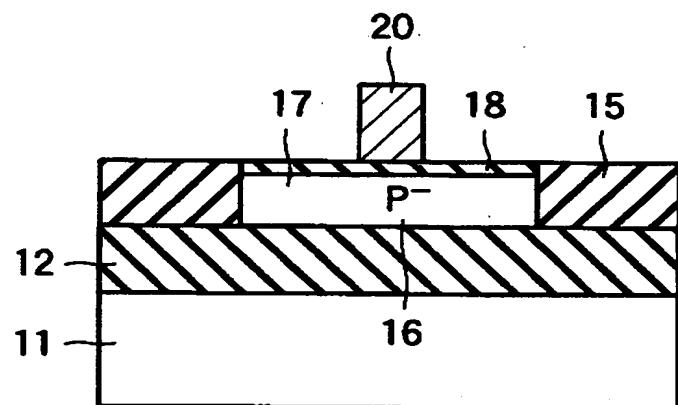


B領域

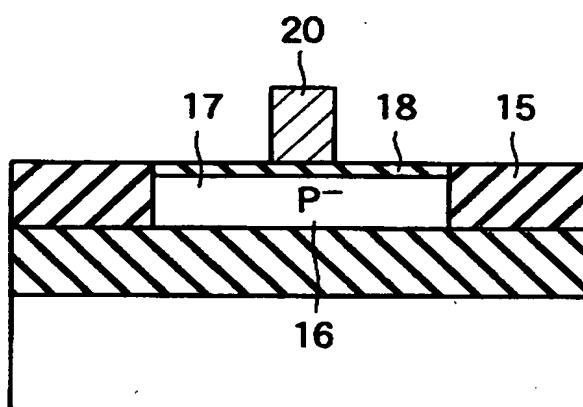


C領域

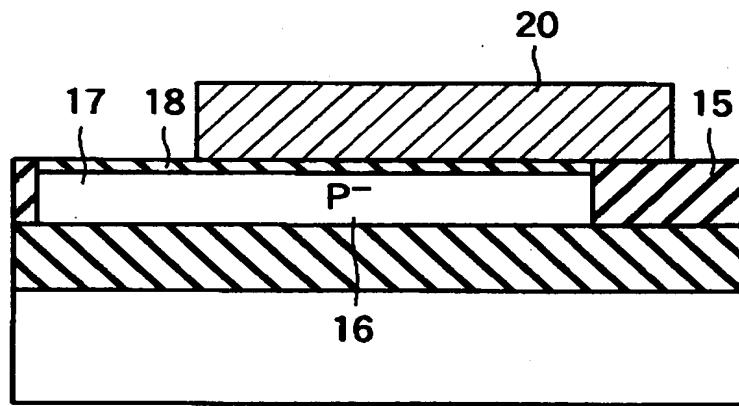
【図3】



A領域

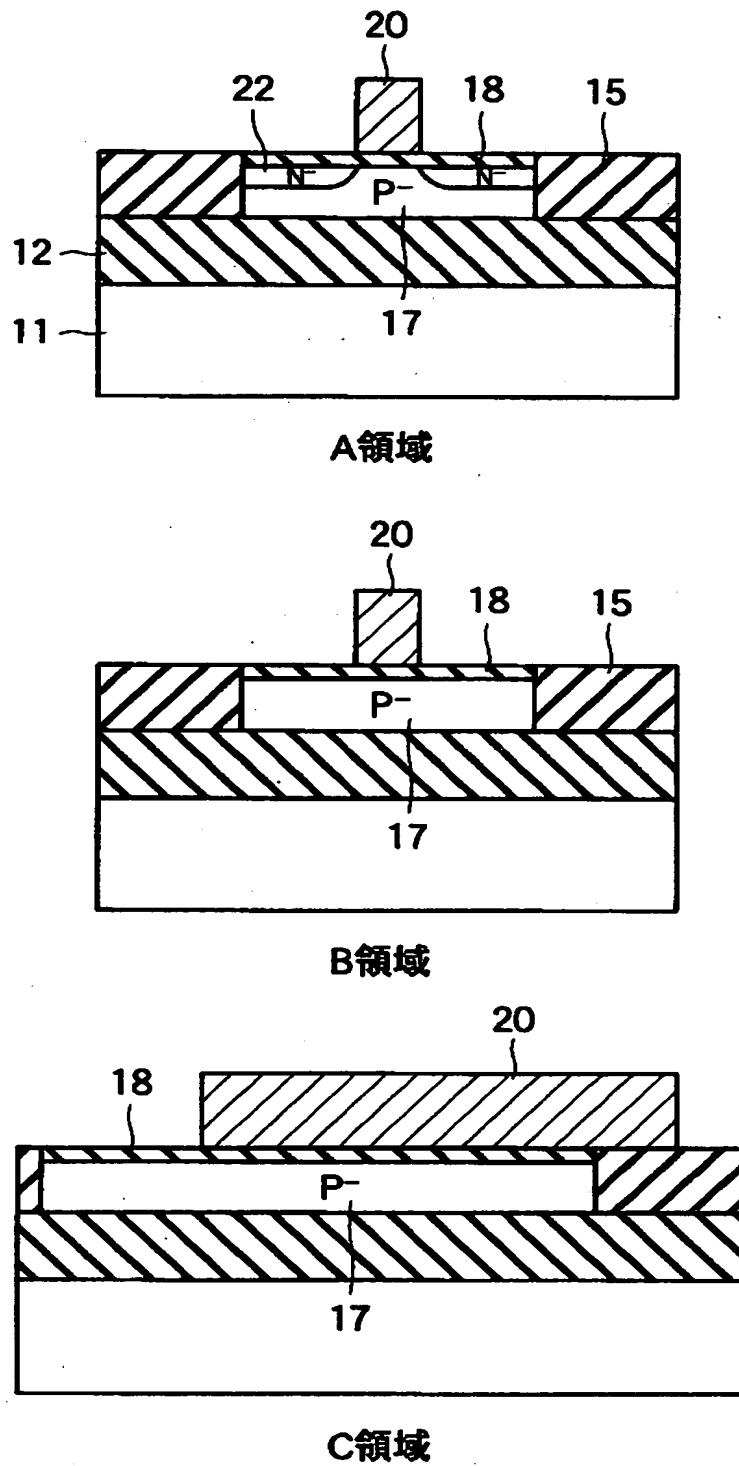


B領域

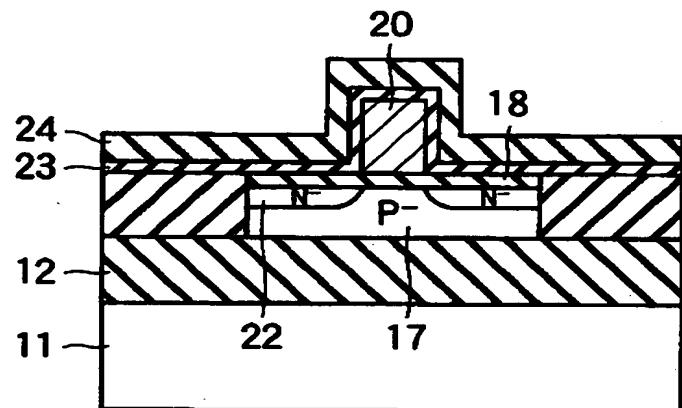


C領域

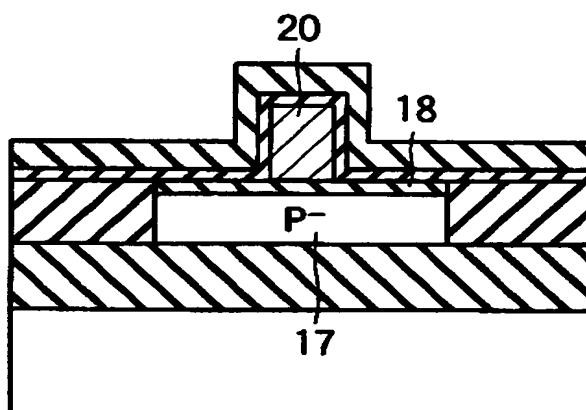
【図4】



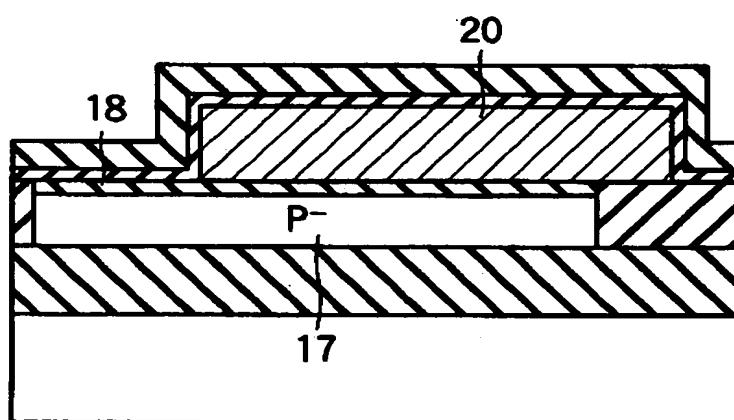
【図5】



A領域

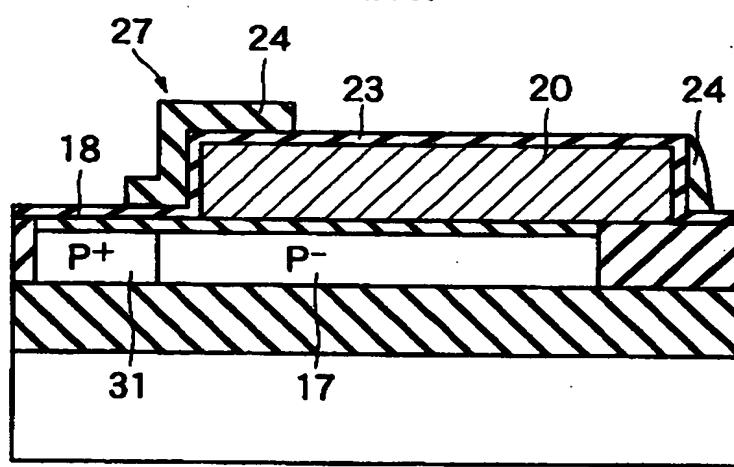
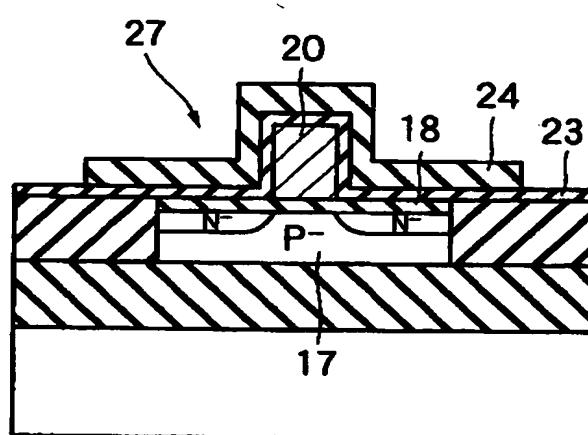
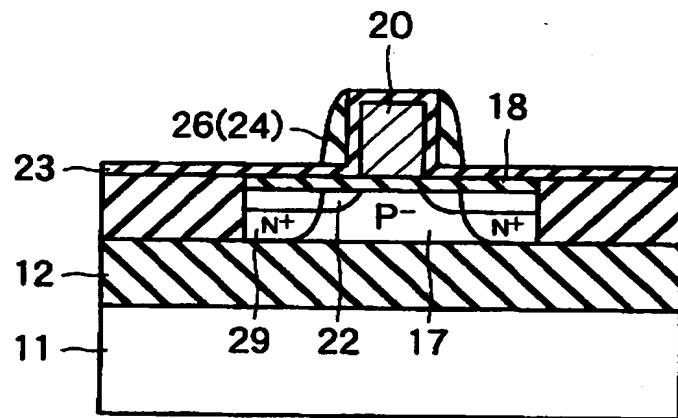


B領域

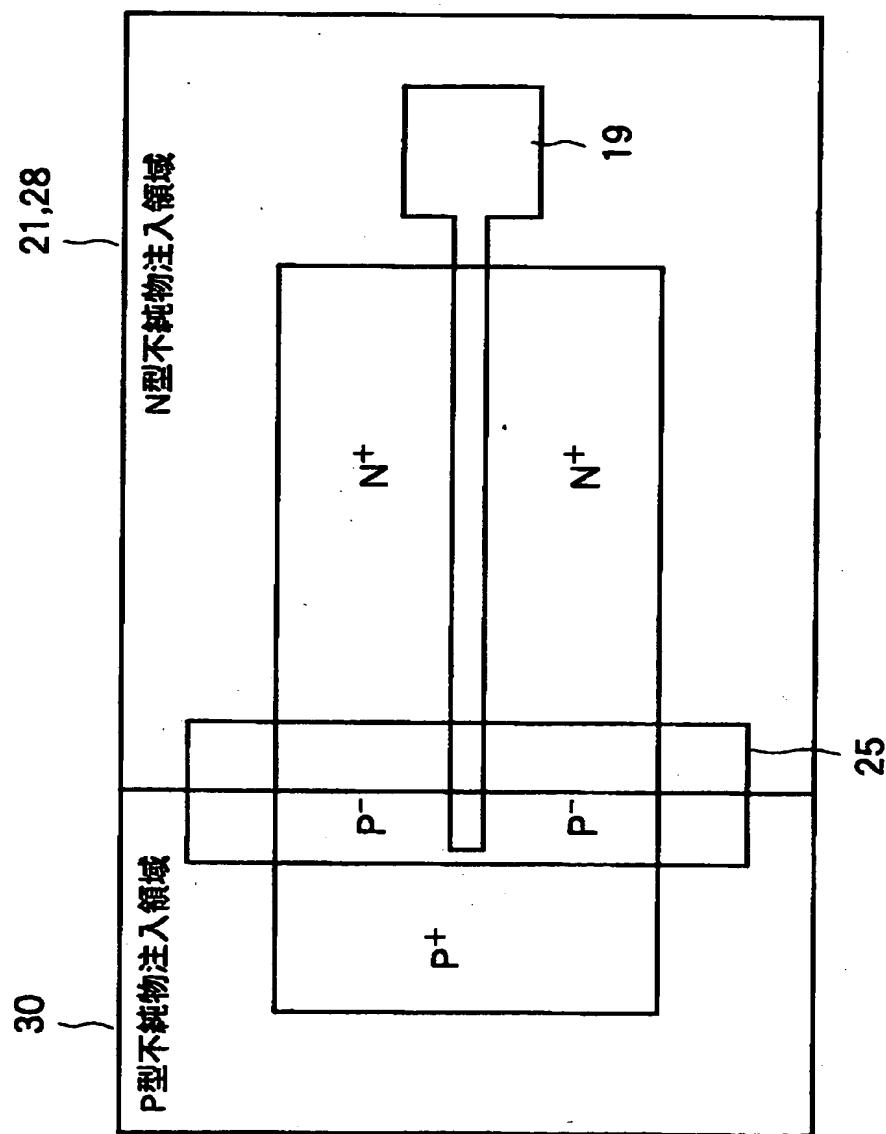


C領域

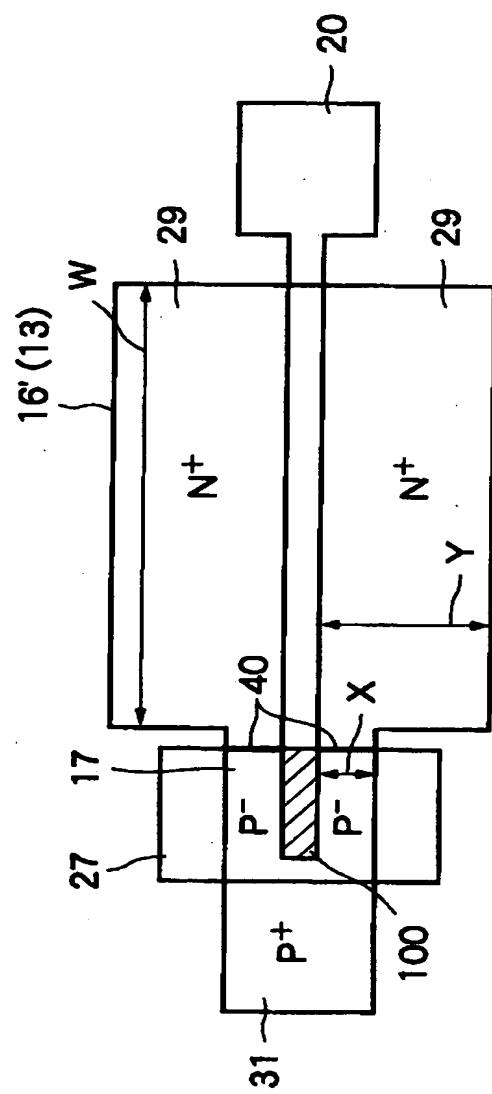
【図6】



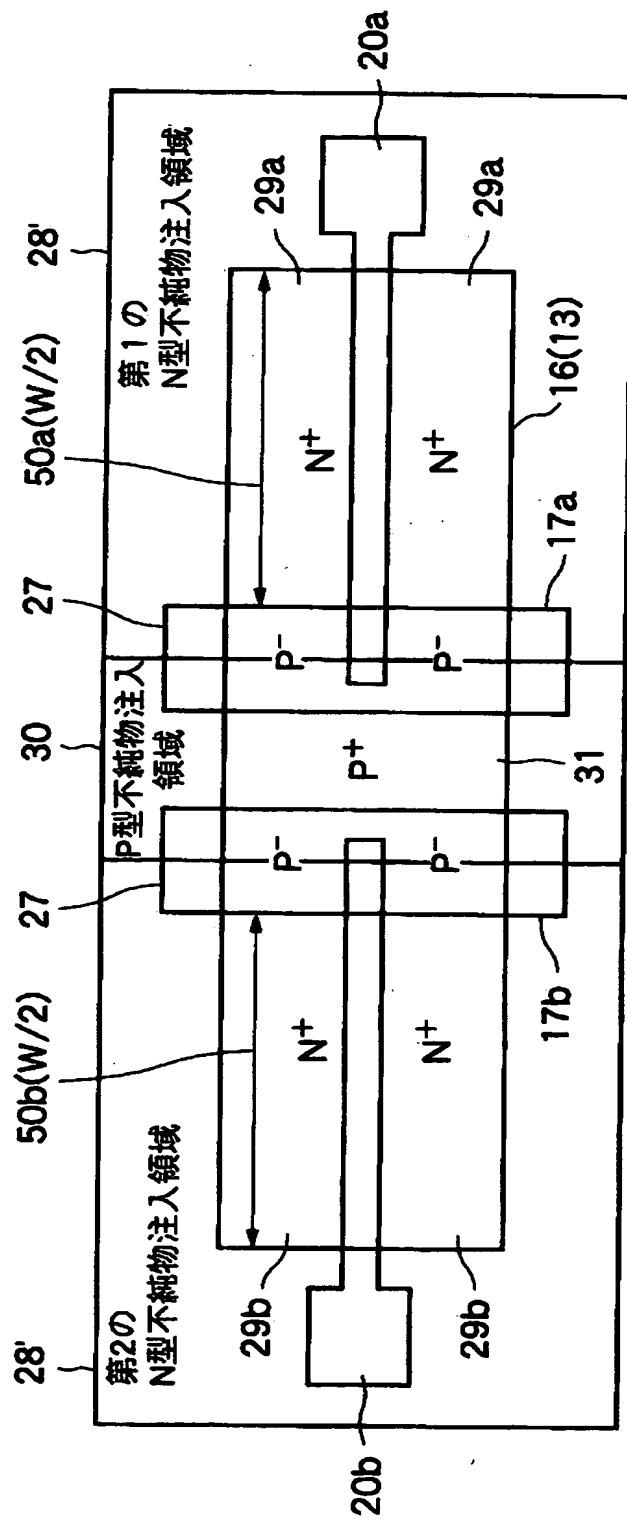
【図7】



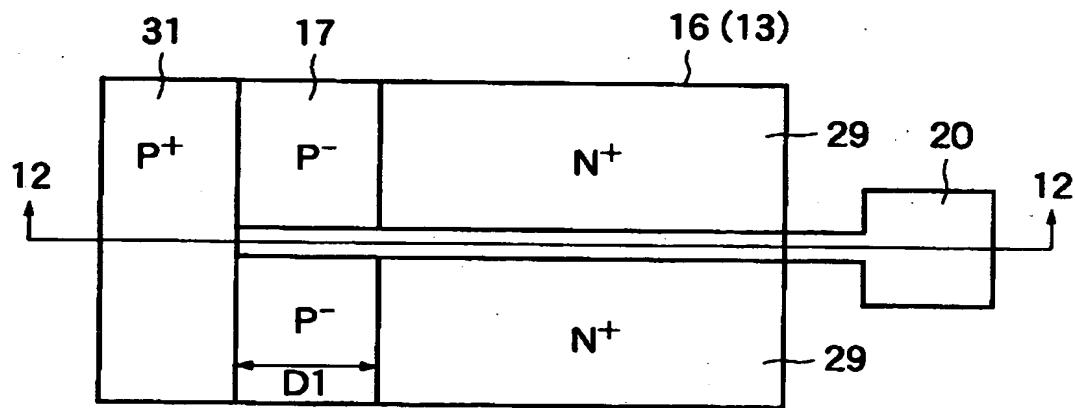
【図8】



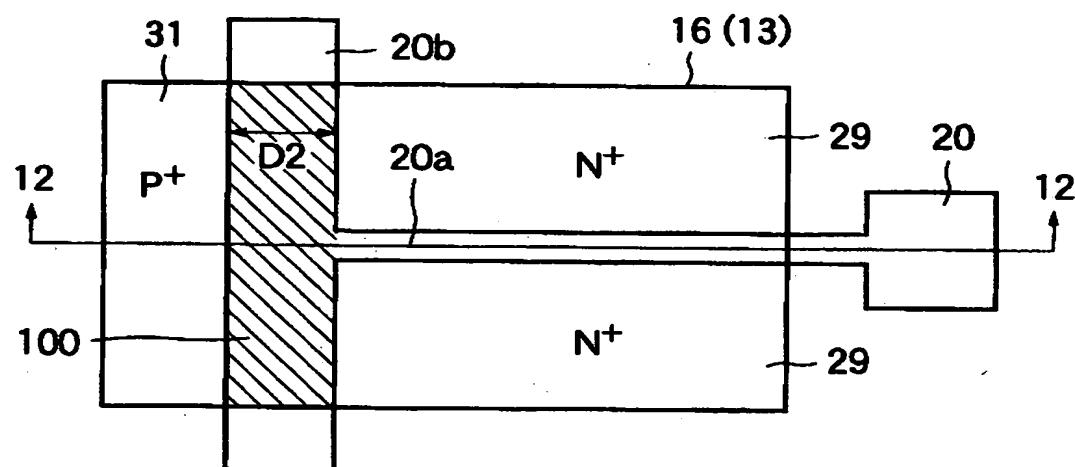
【図9】



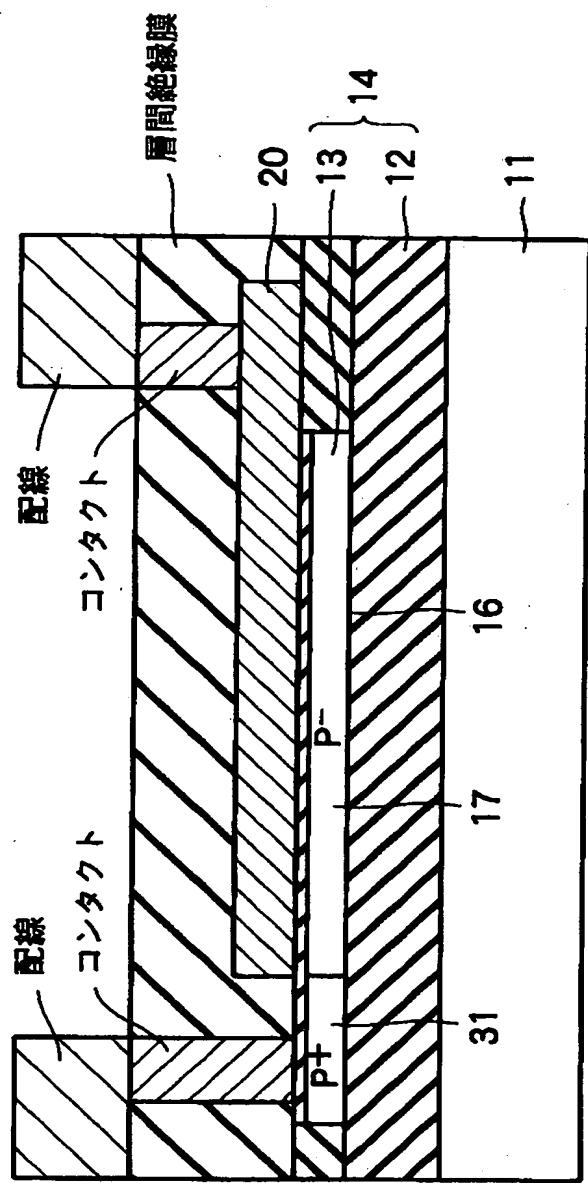
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 面積や寄生抵抗の増大を抑制しつつ、寄生ゲート容量を低減する。

【解決手段】 半導体層13の素子領域16内にP<sup>-</sup>型の基板電位制御層17が形成され、この基板電位制御層17上にゲート電極20がゲート絶縁膜（図示せず）を介して選択的に形成されている。このゲート電極20の端部を覆うように素子領域16を横断してゲート電極20及び基板電位制御層17上に絶縁膜マスク27が形成されている。また、ゲート電極20を挟んで素子領域16の表面にN<sup>+</sup>型のソース・ドレイン領域29が形成されている。そして、このソース・ドレイン領域29と対向する素子領域16内に絶縁膜マスク27を挟んでP<sup>+</sup>型のボディコンタクト領域31が形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝